

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	2276385	insulat\$3 or dielectric\$1 or polyimide\$1	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 08:27
L2	16334	activat\$3 with 1	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 08:28
L3	1329665	seed\$3 or cataly\$5	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 08:37
L4	696	1 with 2 with 3	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 08:42
L5	289	(metalizing or metallizing or conduct\$3 or plat\$3) with 4	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 08:43
L6	33	(imag\$3 or pattern\$3) with 5	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 09:02
L7	17849	(activat\$3 or sensitiz\$3) with 1	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 09:18
L8	177	7 with (imag\$3 and develop\$3)	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 09:04

L9	1116	7 with (imag\$3 or develop\$3)	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 09:18
L10	3	(photosensitive or photoreactive) with 9	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 09:04
L11	156	(photosensitive or photoreactive) with 9	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 09:17
L12	5	11 with 3	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 09:05
L13	26275	(photosensitive or photoreactive) with (second or another)	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 09:18
L14	11964	13 with (imag\$3 or develop\$3)	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 09:18
L15	266	(activat\$3 or sensitiz\$3) with 14	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 09:19
L16	53	15 and 3	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 09:19

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	6356810	activat\$3 or sensiti\$4 or condition\$3 or etch\$3 or roughen\$3	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 11:16
L2	298306	photosensitive	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 11:17
L3	4312411	imag\$3 or develop\$3	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 11:17
L4	1329305	cataly\$4 or seed\$3	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 11:17
L5	5450943	imag\$3 or develop\$3 or pattern\$3	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 11:18
L6	207	1 with 2 with 4 with 5	US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT; IBM_TDB	OR	OFF	2005/11/22 11:35

PAT-NO: JP02000091743A
DOCUMENT-IDENTIFIER: JP 2000091743 A
TITLE: BUILD-UP MULTILAYERED SUBSTRATE AND ITS MANUFACTURE
PUBN-DATE: March 31, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
NISHIDA, NORIHIRO	N/A
YOTSUMOTO, SHU	N/A
IKEDA, TAKASHI	N/A

INT-CL (IPC): H05K003/46, H05K003/38

ABSTRACT:

PROBLEM TO BE SOLVED: To improve both the thickness uniformity of the layers constituting a build-up multilayered substrate and the adhesion between a wiring layer and an insulating layer.

SOLUTION: After a first wiring layer 4 is formed by a full additive method, recessed grooves 5 are formed by etching the wiring layer 4 along the side faces of a plating resist 3 so as to expose the side faces of the wiring layer 4. Then the surface and side faces of the wiring layer 4 are treated by interplating or blackening. Then, after an insulating layer 6 is formed of a photosensitive resin on the wiring layer 4 and resist 3 and via holes 7 are formed by exposing and developing the insulating layer 6, the surface of the insulating layer 6 is roughened and a plating catalyst (Pb) is affixed to the surface of the layer 6. After another plating resist 8 is formed of a photosensitive resin on the insulating layer 65 thereafter, a second wiring layer and via conductors are formed by electroless plating the portions of the insulating layer 6 not covered with the resist 8 with copper.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91743

(P2000-91743A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 5 K 3/46		H 0 5 K 3/46	B
			N
3/38		3/38	B
			A

審査請求 未請求 請求項の数 8 O L (全 9 頁)

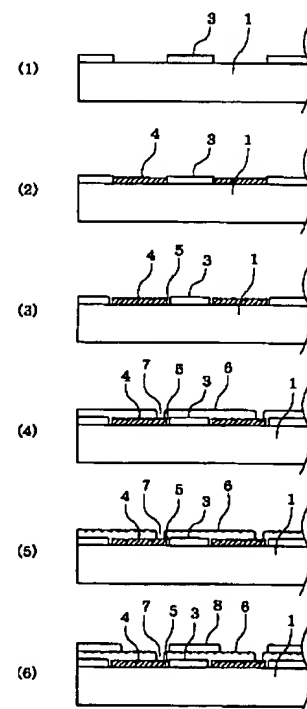
(21) 出願番号	特願平11-170514	(71) 出願人	391039896 株式会社住友金属エレクトロデバイス 山口県美祿市大嶺町東分字岩倉2701番1
(22) 出願日	平成11年6月17日 (1999.6.17)	(72) 発明者	西田 典弘 山口県美祿市大嶺町東分字岩倉2701番1 株式会社住友金属エレクトロデバイス内
(31) 優先権主張番号	特願平10-201406	(72) 発明者	四元 衆 山口県美祿市大嶺町東分字岩倉2701番1 株式会社住友金属エレクトロデバイス内
(32) 優先日	平成10年7月16日 (1998.7.16)	(72) 発明者	池田 尊士 山口県美祿市大嶺町東分字岩倉2701番1 株式会社住友金属エレクトロデバイス内
(33) 優先権主張国	日本 (J P)	(74) 代理人	100098420 弁理士 加古 宗男

(54) 【発明の名称】 ビルドアップ多層基板及びその製造方法

(57) 【要約】

【課題】 ビルドアップ多層基板の各層の厚みの均一性と配線層／絶縁層の接着性とを共に向上させる。

【解決手段】 フルアディティブ法で1層目の配線層4を形成した後、ソフトエッチングにより配線層4をメッキレジスト3の側面に沿って凹溝状にエッチングして凹溝5を形成し、該配線層4の側面を露出させた上で、該配線層4の表面及び側面をインタープレート法又は黒化処理により表面処理する。この後、配線層4及びメッキレジスト3上に感光性樹脂で絶縁層6を形成し、これを露光現像処理してビアホール7を形成した後、絶縁層6の表面を粗化し、該絶縁層6の表面にメッキ触媒 (Pb) を付与する。この後、絶縁層6上に感光性樹脂でメッキレジスト8を形成した後、メッキレジスト8で覆われていない部分に無電解銅メッキを施して2層目の配線層とビア導体を形成する。



【特許請求の範囲】

【請求項1】 フルアディティブ法により形成したビルドアップ多層基板において、

ビアホールを有する絶縁層と、この絶縁層上に形成されたメッキレジストと、前記絶縁層の表面のうちの前記メッキレジストで覆われていない部分に無電解メッキにより形成された配線層とを備え、

前記配線層の側面と前記メッキレジストとの間に凹溝が形成されていると共に、該配線層の表面及び側面が表面処理され、該配線層の表面及び側面に、その上の層の絶縁層が密着していることを特徴とするビルドアップ多層基板。

【請求項2】 フルアディティブ法によりビルドアップ多層基板を製造する方法において、

ビアホールを有する絶縁層の表面を粗化し、該絶縁層の表面にメッキ触媒を付与する工程と、前記絶縁層の表面に感光性樹脂層を形成し、これを露光現像処理してメッキレジストを形成する工程と、

前記絶縁層の表面のうちの前記メッキレジストで覆われていない部分及び前記ビアホールに無電解メッキを施して配線層及びビア導体を形成する工程と、

ソフトエッチングにより前記配線層を前記メッキレジストの側面に沿って凹溝状にエッチングして該配線層の側面を露出させた上で、該配線層の表面及び側面を表面処理する工程と、

前記配線層及び前記メッキレジスト上に感光性の絶縁層を形成し、これを露光現像処理してビアホールを形成する工程とを有し、これら各工程を必要な積層数となるまで繰り返すことによりビルドアップ多層基板を製造することを特徴とするビルドアップ多層基板の製造方法。

【請求項3】 前記配線層の表面処理は、インタープレート法により行うことを特徴とする請求項2に記載のビルドアップ多層基板の製造方法。

【請求項4】 前記配線層の表面処理は、黒化処理により行うことを特徴とする請求項2に記載のビルドアップ多層基板の製造方法。

【請求項5】 フルアディティブ法により形成したビルドアップ多層基板において、

基板表層に形成された絶縁層と、この絶縁層上に形成されたメッキレジストと、前記絶縁層の表面のうちの前記メッキレジストで覆われていない部分に無電解メッキにより形成されたソルダーボール接続用のパッドとを備え、

前記パッドの側面と前記メッキレジストとの間に凹溝が形成されていると共に、該パッドの表面及び側面が表面処理され、前記メッキレジストの表面及び該メッキレジストに隣接する前記パッドの側面と表面一部にソルダーレジストが密着形成されていることを特徴とするビルドアップ多層基板。

【請求項6】 前記ソルダーレジストは、前記メッキレ

ジストよりも引張り強度が大きい材料で形成されていることを特徴とする請求項5に記載のビルドアップ多層基板。

【請求項7】 前記パッドの表面処理は、インタープレート法により行われていることを特徴とする請求項5又は6に記載のビルドアップ多層基板。

【請求項8】 前記メッキレジストの表面が粗化処理されていることを特徴とする請求項5乃至7のいずれかに記載のビルドアップ多層基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フルアディティブ法により形成するビルドアップ多層基板及びその製造方法に関するものである。

【0002】

【従来の技術】近年のICチップの高性能化・小型化に伴い、ICチップを搭載する基板の配線密度の高密度化が重要な技術的課題となっている。現在、実用化されている高密度実装基板の一例としてビルドアップ多層基板がある。このビルドアップ多層基板は、サブトラクティブ法、セミアディティブ法、フルアディティブ法のいずれかの方法で製造されている。

【0003】サブトラクティブ法では、図3に示すように、(1)感光性の絶縁層11の表面を粗化して該絶縁層11の表面にメッキ触媒を付与した後、(2)無電解銅メッキ、電解銅メッキにより銅メッキ被膜12を形成する。この後、(3)銅メッキ被膜12上に液状の感光性樹脂を塗布して乾燥させ、これを露光現像処理してエッチングレジスト13のパターンを形成する。

【0004】この後、(4)銅メッキ被膜12のうちのエッチングレジスト13のパターンから露出する部分をエッチングして配線層14を形成した後、(5)エッチングレジスト13を剥離除去して、配線層14を表面処理する。この後、(6)配線層14及び絶縁層11上に液状の感光性樹脂を塗布して熱硬化させて次の層の絶縁層15を形成すると共に、これを露光現像処理してビアホール16を形成する。以後、上述した各工程を必要な積層数となるまで繰り返してビルドアップ多層基板を形成する。

【0005】このサブトラクティブ法では、各層の厚みが配線層14の存在する部分で配線層14の厚み分だけ厚くなるため、各層が平坦にならず、ビルドアップ多層基板の表面の凹凸が大きくなる傾向がある。このため、基板表面にICチップをフリップチップボンディング(C4)で表面実装すると、基板表面の凹凸によって接続不良が発生するおそれがある。

【0006】また、セミアディティブ法では、図4に示すように、(1)感光性の絶縁層21の表面を粗化して該絶縁層21の表面にメッキ触媒を付与した後、(2)無電解銅メッキにより銅メッキ被膜22を形成する。こ

の後、(3)銅メッキ被膜12上に液状の感光性樹脂を塗布して乾燥させ、これを露光現像処理してメッキレジスト23のパターンを形成する。

【0007】この後、(4)銅メッキ被膜22のうちのメッキレジスト23のパターンから露出する部分に電解銅メッキを施して配線層24を形成する。この後、

(5)メッキレジスト23を剥離し、銅メッキ被膜22のうちの配線層24で覆われていない部分をエッチングして取り除く。この後、(6)配線層24を表面処理し、配線層24及び絶縁層21上に液状の感光性樹脂を塗布して熱硬化させて次の層の絶縁層25を形成すると共に、これを露光現像処理してビアホール26を形成する。以後、上述した各工程を必要な積層数となるまで繰り返してビルドアップ多層基板を形成する。

【0008】このセミアディティブ法でも、前述したサブトラクティブ法と同じく、各層の厚みが配線層24の存在する部分で配線層24の厚み分だけ厚くなるため、各層が平坦にならず、ビルドアップ多層基板の表面の凹凸が大きくなる欠点がある。

【0009】一方、フルアディティブ法では、図5に示すように、(1)感光性の絶縁層31の表面を粗化して該絶縁層31の表面にメッキ触媒を付与した後、(2)絶縁層31上に液状の感光性樹脂を塗布して熱硬化させ、これを露光現像処理してメッキレジスト32(永久レジスト)のパターンを形成する。この後、(3)無電解銅メッキにより配線層33を形成した後、(4)配線層33を表面処理する。この後、(5)配線層33及びメッキレジスト32上に、液状の感光性樹脂を塗布して硬化させて次の層の絶縁層34を形成すると共に、これを露光現像処理してビアホール35を形成する。以後、上述した各工程を必要な積層数となるまで繰り返してビルドアップ多層基板を形成する。

【0010】このフルアディティブ法では、電解銅メッキにより配線層33を形成する際に用いるメッキレジスト32が絶縁層の一部として基板内に残されるため、前述したサブトラクティブ法、セミアディティブ法と異なり、各層の厚みが均一化されて、基板表面の凹凸が少なくなる利点がある。従って、フルアディティブ法は、ビルドアップ多層基板の積層数を増加させるのに有利な製法である。

【0011】

【発明が解決しようとする課題】一般に、ビルドアップ多層基板は、積層数の増加に伴い、発熱量が著しく増加するため、熱サイクルに対する信頼性を高める必要があるが、ビルドアップ多層基板は、主に熱伝導率の低い樹脂で形成されているため、熱を蓄積して高温になりやすく、しかも、絶縁層の熱膨張率は、この絶縁層上に形成された配線層(銅メッキ層)と大きく相違するため、絶縁層と配線層との接着面に働く熱応力が過大となり、配線層と絶縁層とが剥離するおそれがある。従って、ビル

ドアップ多層基板には、基板表面の平坦性(各層の厚みの均一性)と共に、絶縁層と配線層との接着性も要求される。

【0012】そのため、前述したサブトラクティブ法、セミアディティブ法、フルアディティブ法では、いずれも、配線層の表面を粗化処理して、配線層/絶縁層の接着性を向上させるようにしている。

【0013】前述したように、フルアディティブ法は、基板表面の平坦性(各層の厚みの均一性)の点で優れているが、配線層/絶縁層の接着性がサブトラクティブ法、セミアディティブ法よりも劣るという欠点がある。すなわち、サブトラクティブ法、セミアディティブ法では、配線層14、24を表面処理する際に、配線層14、24の側面も露出した状態となっているため、配線層14、24の側面も表面処理され、絶縁層15、25が配線層14、24の表面と側面の両方に接着される。これにより、配線層14、24と絶縁層15、27との接着強度が高まり、配線層/絶縁層の剥離が防止される。

【0014】これに対し、フルアディティブ法では、配線層33を表面処理する際に、配線層33の側面がメッキレジスト32で覆われた状態となっているため、配線層33の側面は表面処理されず、絶縁層34は配線層33の表面のみに接着される。このため、配線層33と絶縁層34との接着強度がサブトラクティブ法、セミアディティブ法と比較して弱く、配線層/絶縁層の剥離が発生しやすいという欠点がある。従って、従来の方法では、基板表面の平坦性と配線層/絶縁層の接着性とを同時に満足することができず、いずれか一方を犠牲にせざるを得なかった。

【0015】本発明はこのような事情を考慮してなされたものであり、従ってその目的は、基板表面の平坦性(各層の厚みの均一性)と配線層/絶縁層の接着性とを同時に満足することができ、積層数増加に容易に対応できるビルドアップ多層基板及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成するために、本発明のビルドアップ多層基板は、フルアディティブ法により形成し、配線層の側面とメッキレジストとの間に凹溝を形成すると共に、該配線層の表面及び側面を表面処理し、該配線層の表面及び側面に絶縁層を密着させた構成としたものである(請求項1)。

【0017】このビルドアップ多層基板を製造する場合には、ビアホールを有する絶縁層を表面処理し、該絶縁層の表面にメッキ触媒を付与する工程と、前記絶縁層の表面に感光性樹脂層を形成し、これを露光現像処理してメッキレジストを形成する工程と、前記絶縁層の表面のうちの前記メッキレジストで覆われていない部分及び前記ビアホールに無電解メッキを施して配線層及びビア導

体を形成する工程と、ソフトエッチングにより前記配線層を前記メッキレジストの側面に沿って凹溝状にエッチングして該配線層の側面を露出させた上で、前記配線層の表面及び側面を表面処理する工程と、前記配線層及び前記メッキレジスト上に感光性の絶縁層を形成し、これを露光現像処理してビアホールを形成する工程とを、必要な積層数となるまで繰り返すことによりビルドアップ多層基板を製造すれば良い(請求項2)。

【0018】本発明の特徴は、フルアディティブ法を採用し、配線層をメッキレジストの側面に沿って凹溝状にエッチングして該配線層の側面を露出させた後、配線層を表面及び側面を表面処理することである。これにより、配線層上に形成した絶縁層が、配線層の表面処理された表面及び側面の両方に接着されて、配線層と絶縁層との接着強度が高まり、配線層/絶縁層の剥離が防止される。しかも、フルアディティブ法を採用することで、フルアディティブ法本来の利点である基板表面の平坦性(各層の厚みの均一性)も確保される。

【0019】この場合、配線層の表面処理は、インタープレート法(請求項3)又は黒化処理(請求項4)により行えば良い。いずれの場合も、配線層の表面及び側面に無数の針状突起が形成され、良好な粗化面が得られる。

【0020】また、ビルドアップ多層基板の表層にソルダーボール接続用のパッドを形成する場合には、基板表層に形成された絶縁層上にメッキレジストを形成すると共に、前記絶縁層の表面のうちの前記メッキレジストで覆われていない部分に無電解メッキによりソルダーボール接続用のパッドを形成し、このパッドの側面と前記メッキレジストとの間に凹溝を形成すると共に、該パッドの表面及び側面を表面処理し、前記メッキレジストの表面及び該メッキレジストに隣接する前記パッドの側面と表面一部にソルダーレジストを密着形成すると良い(請求項5)。

【0021】このようにすれば、表面処理されたパッドの側面と表面一部にソルダーレジストが密着するため、パッドとソルダーレジストとの接着強度が向上する。これにより、パッドにソルダーボールを半田付けする際の温度変化によるパッドの熱収縮や熱履歴による熱収縮をソルダーレジストにより抑制することができ、パッドの直下の絶縁層にクラックが発生することを防止できる。

【0022】この場合、ソルダーレジストをメッキレジストよりも引張り強度が大きい材料で形成することが好ましい(請求項6)。このようにすれば、パッドにソルダーボールを半田付けする際の温度変化によるメッキレジストの熱収縮をソルダーレジストにより抑制することができ、絶縁層のクラック防止効果を高めることができる。

【0023】更に、パッドの表面処理は、インタープレート法により行えば良い(請求項7)。これにより、パ

ッドの表面及び側面に無数の針状突起が形成され、良好な粗化面が得られる。

【0024】また、メッキレジストの表面を粗化処理することが好ましい(請求項8)。これにより、メッキレジストとソルダーレジストとの接着強度が向上する。

【0025】

【発明の実施の形態】[実施形態(1)]まず、本発明の実施形態(1)におけるビルドアップ多層基板の製造方法を図1及び図2に基づいて説明する。コア基板1は、例えばガラスエポキシ基板、金属基板等により形成され、その所定位置には、スルーホール(図示せず)が形成されている。尚、予めコア基板1を表面処理しても良い。

【0026】このコア基板1上に液状のエポキシ系の感光性樹脂をスピンコーター等で塗布し、これを乾燥させて感光性樹脂層を形成した後、この感光性樹脂層を露光現像処理してメッキレジスト3(永久レジスト)のパターンを形成する[(1)参照]。この後、コア基板1の表面のうちのメッキレジスト3(永久レジスト)のパターンから露出する部分に無電解銅メッキを施して1層目の配線層4を形成する[(2)参照]。

【0027】この後、ソフトエッチングにより配線層4をメッキレジスト3の側面に沿って凹溝状にエッチングして凹溝5を形成し、それによって、配線層4の側面を露出させる[(3)参照]。この後、配線層4の表面及び側面をインタープレート法又は黒化処理により表面処理する。

【0028】ここで、インタープレート法による表面処理は、次の手順で行う。まず、コア基板1の配線層4とメッキレジスト3の表面を洗浄液で洗浄した後、過硫酸ソーダ系又は過酸化水素-硫酸系のエッチング液を用いて配線層4の表面をソフトエッチングして、配線層4の表面の酸化被膜を除去する。この後、配線層4の表面を濃硫酸で処理して該表面を活性化し、該表面にメッキ触媒(Pb)を付与する。この後、コア基板1を無電解銅メッキ溶液に浸漬して配線層4の表面及び側面に銅の結晶を析出させて針状銅メッキ被膜を形成する。これにより、配線層4の表面及び側面には、銅メッキの微細な針状突起が無数に形成される。ここで使用する無電解銅メッキ溶液は、還元剤として次亜リン酸ナトリウム等の次亜リン酸塩が配合され、触媒金属として微量の硫酸ニッケル等のニッケル塩が添加されたものを使用する。従って、析出した針状銅メッキには、微量のニッケルとリンが共析する。

【0029】また、黒化処理による表面処理は、次の手順で行う。上述したインタープレート法と同じく、過硫酸ソーダ系又は過酸化水素-硫酸系のエッチング液を用いて配線層4の表面をソフトエッチングして、配線層4の表面の酸化被膜を除去する。この後、亜塩素酸ナトリウム等の酸化剤と水酸化ナトリウム等のアルカリ溶液と

の混合液からなる酸化処理液にコア基板1を浸漬して、配線層4の表面及び側面に黒色の酸化第二銅の結晶を析出させる。これにより、配線層4の表面及び側面には、酸化第二銅の微細な針状突起が無数に形成される。

【0030】以上説明したインタープレート法又は黒化処理により配線層4を表面処理した後、配線層4及びメッキレジスト3上に液状のエポキシ系の感光性樹脂を塗布して乾燥させて次の層の絶縁層6を形成すると共に、これを露光現像処理してビアホール7を形成する

〔(4)参照〕。その後、絶縁層6の表面を過マンガン酸溶液等で表面処理し〔(5)参照〕、該絶縁層6の表面にメッキ触媒(Pb)を付着させる。

【0031】この後、絶縁層6上に、液状のエポキシ系の感光性樹脂をスピンコーター等で塗布し、これを乾燥させて感光性樹脂層を形成した後、この感光性樹脂を露光現像処理してメッキレジスト8(永久レジスト)のパターンを形成する〔(6)参照〕。この後、絶縁層6表面のうちのメッキレジスト8のパターンから露出した部分とビアホール7に無電解銅メッキを施して2層目の配線層9とビア導体10を形成する〔(7)参照〕。

【0032】この後、ソフトエッチングにより配線層9をメッキレジスト8の側面に沿って凹溝状にエッチングして凹溝17を形成し、それによって、配線層9の側面を露出させる〔(8)参照〕。この後、配線層9の表面及び側面をインタープレート法又は黒化処理により表面処理する。

【0033】この後、配線層9及びメッキレジスト8上に液状のエポキシ系の感光性樹脂を塗布して乾燥させて次の層の絶縁層18を形成すると共に、これを露光現像処理してビアホール19を形成する〔(9)参照〕。その後、前述した(5)～(7)の工程と同じ方法で、絶縁層18の表面処理、メッキ触媒付与、メッキレジスト形成を行って、3層目の配線層27とビア導体28を形成する。以後、必要な積層数となるまで前記(3)～(7)の工程を繰り返すことで、(10)に示す構造のビルドアップ多層基板を形成する。

【0034】以上説明した実施形態(1)では、ビルドアップ多層基板の製造工程にフルアディティブ法を採用したので、各層の厚みがメッキレジスト3、8と配線層4、9とによって均一化されて、基板表面の平坦性が十分に確保される。しかも、ソフトエッチングにより配線層4、9をメッキレジスト3、8の側面に沿って凹溝状にエッチングして該配線層4、9の側面を露出させ、該配線層4、9の側面も表面処理するようにしたので、配線層4、9上に形成した絶縁層6、18が、配線層4、9の表面処理された表面と側面の両方に接着されて、配

線層4、9と絶縁層6、18との接着強度が高まり、配線層/絶縁層の剥離が防止される。これにより、フルアディティブ法の利点(基板表面の平坦性)を損なわずに従来の欠点(配線層/絶縁層の剥離の問題)を解消することができ、基板表面の平坦性と配線層/絶縁層の接着性とを同時に満足することができ、積層数増加に容易に対応することができる。

【0035】尚、図2の(10)に示すビルドアップ多層基板は、コア基板1の片面のみに配線層がビルドアップされているが、コア基板1の両面に配線層をビルドアップするようにしても良い。また、メッキレジスト3、8を形成する際に、液状のエポキシ系の感光性樹脂の塗布に代えて、ドライフィルムをラミネートし、これを露光現像処理してメッキレジストを形成するようにしても良い。

【0036】〔実施形態(2)〕次に、図6に基づいて本発明の実施形態(2)を説明する。本実施形態(2)では、前記実施形態(1)と同じく、フルアディティブ法によりビルドアップ多層基板を形成するものであり、基板表層部の構造とその製造方法に特徴がある。

【0037】まず、基板表層部の構造を説明する。基板表層部の絶縁層41にはビアホール42が形成され、このビアホール42上には、溶剤ボール43接続用のパッド44が無電解銅メッキにより形成されている。この場合、パッド44のうちのビアホール42内の部分はビア導体を兼ねている。絶縁層41上には、パッド44を除く部分に感光性エポキシ樹脂等によりメッキレジスト45が形成され、パッド44の側面とメッキレジスト45との間に凹溝46がソフトエッチングにより形成されている。

【0038】また、パッド44の表面及び側面がインタープレート法等により表面処理され、更に、メッキレジスト45の表面も粗化処理されている。そして、メッキレジスト45の表面及び該メッキレジスト45に隣接するパッド44の側面と表面のうちの溶剤ボール43から露出する部分に溶剤レジスト47が密着形成されている。

【0039】この場合、溶剤レジスト47は、メッキレジスト45よりも引張り強度が大きい感光性樹脂で形成されている。従って、溶剤レジスト47の形成材料としては、次の表1に示すように、例えば、SiO₂を10～15%程度添加した感光性エポキシ樹脂、或は、PES(ポリエーテルスルホン)を10%程度添加した感光性エポキシ樹脂等を用いれば良い。

【0040】

【表1】

		温度 (℃)	伸び率 (%)	引張り強度 (MPa)	弾性率 (GPa)	ガラス転移 温度 (℃)	線膨張率 ($\times 10^{-5}/^{\circ}\text{C}$)
①	感光性エポキシ 樹脂+10%SiO ₂	-55	1	25	4.9	68.9	4.69
		23	0.9	23.1	2.7		
		125	1.8	21.2	1.7		
②	感光性エポキシ 樹脂+15%SiO ₂	-55	0.5	23	5.1	75.7	5.43
		23	0.6	24.5	3.5		
		125	1.5	21	2.1		
③	感光性エポキシ 樹脂+10%PES	-55	1.3	35	4.1	79.8	6.50
		23	1.6	32.3	2.7		
		125	3.2	19.6	1.5		
④	感光性エポキシ 樹脂	-55	0.6	20.4	4.7	74.0	5.72
		23	0.7	19.2	2.7		
		125	1.9	18.9	1.5		

【0041】次に、基板表層部の製造方法を説明する。基板表層の絶縁層41を、前記実施形態(1)と同じく、エポキシ系の感光性樹脂により形成すると共に、この絶縁層41を露光現像処理してビアホール42を形成する。その後、絶縁層41の表面を過マンガン酸溶液等で表面処理し、該絶縁層41の表面にメッキ触媒を付着させる。

【0042】この後、絶縁層41上に、液状の感光性エポキシ樹脂をスピンコーター等で塗布し、これを乾燥させて感光性樹脂層を形成した後、この感光性樹脂を露光現像処理してメッキレジスト45のパターンを形成する。この後、絶縁層41表面のうちのメッキレジスト45から露出した部分とビアホール42に無電解銅メッキを施してパッド44を形成する。

【0043】次の工程で、ソフトエッチングによりパッド44をメッキレジスト45の側面に沿って凹溝状にエッチングして凹溝46を形成し、それによって、パッド44の側面を露出させる。この後、パッド44の表面及び側面を前記実施形態(1)と同様のインタープレート法により表面処理して粗化すると共に、メッキレジスト45の表面を過マンガン酸溶液等で表面処理して粗化する。

【0044】この後、前掲した表1の①～⑤のいずれかの感光性樹脂をスピンコーター等でメッキレジスト45の表面及びパッド44の表面と側面に塗布して乾燥させ、ソルダーレジスト47を形成すると共に、これを露光現像処理して、ソルダーレジスト47のうちのパッド44の中央部分に対応する部分を除去し、パッド44の中央部分を露出させる。その後、このパッド44の中央部分にソルダーボール43を半田付けする。

【0045】以上説明した実施形態(2)では、インタープレート法で表面処理されたパッド44の側面と表面一部にソルダーレジスト47が密着するため、パッド4

*4とソルダーレジスト47との接着強度を向上でき、パッド44とソルダーレジスト47との層間剥離を防止できる。これにより、パッド44にソルダーボール43を半田付けする際の温度変化によるパッド44の熱収縮や熱履歴による熱収縮をソルダーレジスト47により抑制することができ、パッド44の直下の絶縁層41にクラックが発生することを防止できる。

【0046】しかも、ソルダーレジスト47をメッキレジスト45よりも引張り強度が大きい感光性樹脂で形成しているため、パッド44にソルダーボール43を半田付けする際の温度変化によるメッキレジスト45の熱収縮をソルダーレジスト47により抑制することができ、絶縁層41のクラック防止効果を高めることができる。更に、メッキレジスト45の表面を粗化処理するようにしたので、メッキレジスト45とソルダーレジスト47との接着強度を向上でき、メッキレジスト45とソルダーレジスト47との層間剥離を防止できる。

【0047】〔実施形態(3)〕上記実施形態(2)では、ビアホール42上にパッド44を形成する、いわゆるパッド・オン・ビア(pad-on via)を採用したが、図7に示す本発明の実施形態(3)では、ビアホール42に形成したビア導体50の外側に平坦なパッド48を形成する、いわゆるパッド・オフ・ビア(pad-off via)を採用している。その他の構造と製造方法は上記実施形態(2)と同じであるので、説明を省略する。

【0048】尚、上記実施形態(2)、(3)では、パッド44、48の表面及び側面をインタープレート法により表面処理したが、黒化処理により表面処理しても良い。

【0049】

【発明の効果】以上の説明から明らかなように、本発明の請求項1、2によれば、フルアディティブ法を採用し、ソフトエッチングにより配線層をメッキレジストの

11

側面に沿って凹溝状にエッチングして該配線層の側面を露出させた上で、該配線層の表面及び側面を表面処理するようにしたので、フルアディティブ法の利点（基板表面の平坦性）を損なわずに従来の欠点（配線層／絶縁層の剥離の問題）を解消することができ、基板表面の平坦性と配線層／絶縁層の接着性とを同時に満足することができ、積層数増加に容易に対応できる。

【0050】更に、配線層の表面処理をインタープレート法（請求項3）又は黒化処理（請求項4）により行うようにしたので、配線層の表面及び側面に無数の針状突起を形成することができ、配線層／絶縁層の接着強度を増大することができる。

【0051】また、請求項5では、表面処理されたパッドの側面と表面一部に solder レジストを密着させたので、パッドと solder レジストとの接着強度を向上させることができ、solder ボール半田付け時のパッドの熱収縮や熱履歴による熱収縮を solder レジストにより抑制することができ、パッドの直下の絶縁層にクラックが発生することを防止できる。

【0052】更に、請求項6では、solder レジストをメッキレジストよりも引張り強度が大きい材料で形成したので、メッキレジストの熱収縮を solder レジストにより抑制することができ、絶縁層のクラック防止効果を高めることができる。

【0053】また、請求項7では、パッドの表面処理をインタープレート法で行うようにしたので、パッドの表面及び側面を良好な粗化面にすることができる。

【0054】更に、請求項8では、メッキレジストの表

12

面を粗化処理したので、メッキレジストと solder レジストとの接着強度を向上でき、メッキレジストと solder レジストとの層間剥離を防止できる。

【図面の簡単な説明】

【図1】本発明の実施形態（1）におけるビルドアップ多層基板の製造工程を説明する各工程毎の縦断面図（その1）

【図2】ビルドアップ多層基板の製造工程を説明する各工程毎の縦断面図（その2）

10 【図3】サブトラクティブ法によるビルドアップ多層基板の製造工程を説明する各工程毎の縦断面図

【図4】セミアディティブ法によるビルドアップ多層基板の製造工程を説明する各工程毎の縦断面図

【図5】従来のフルアディティブ法によるビルドアップ多層基板の製造工程を説明する各工程毎の縦断面図

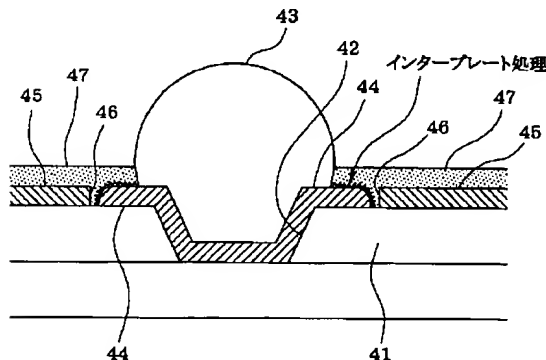
【図6】本発明の実施形態（2）の基板表層部のパッド周辺部分の拡大縦断面図

【図7】本発明の実施形態（3）の基板表層部のパッド周辺部分の拡大縦断面図

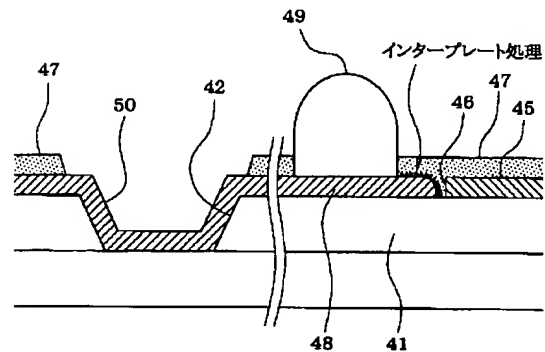
20 【符号の説明】

1…コア基板、3…メッキレジスト、4…配線層、5…凹溝、6…絶縁層、7…ビアホール、8…メッキレジスト、9…配線層、10…ビア導体、17…凹溝、18…絶縁層、19…ビアホール、27…配線層、28…ビア導体、41…絶縁層、42…ビアホール、43…solder ボール、44…パッド、45…メッキレジスト、46…凹溝、47…solder レジスト、48…パッド、49…solder ボール、50…ビア導体。

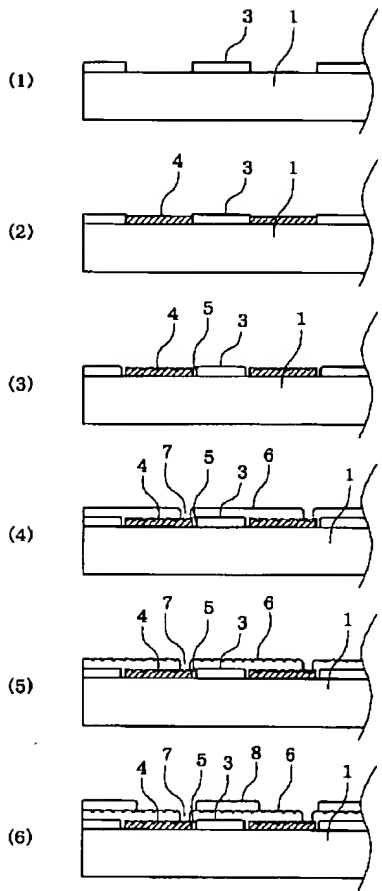
【図6】



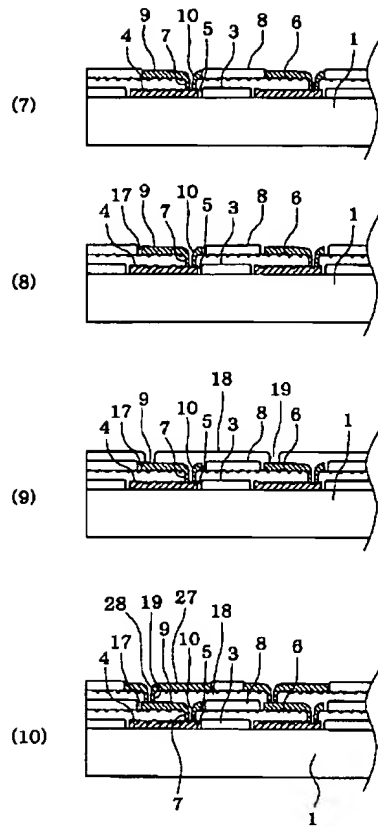
【図7】



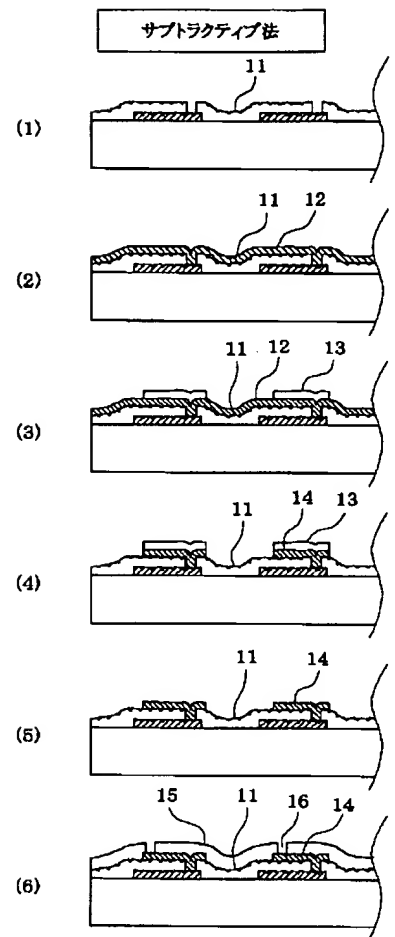
【図1】



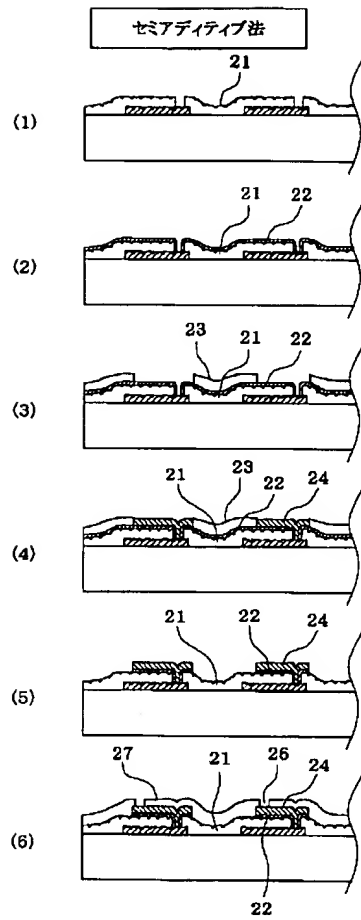
【図2】



【図3】



【図4】



【図5】

